



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001356961 A**(43) Date of publication of application: **26.12.01**

(51) Int. Cl. **G06F 12/00**
G06F 12/06
G06F 13/362

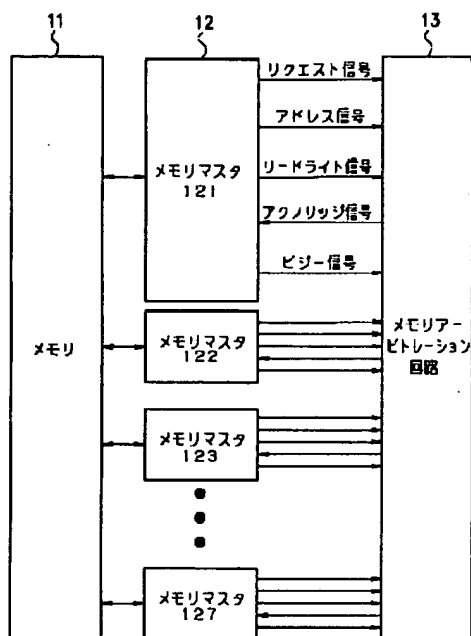
(21) Application number: **2000182324**(71) Applicant: **NEC CORP**(22) Date of filing: **13.06.00**(72) Inventor: **TAKIZAWA TETSUO**(54) **ARBITRATION DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To improve the performance of data transfer by reducing the probability of changing access kinds such as the switching of access pages in the same bank, from reading to writing or from writing to reading.

SOLUTION: In the case of requiring memory using right, each memory master 12 asserts a request signal and simultaneously defines an address signal and a read/write signal. A memory arbitration circuit 13 sets up the priority of memory using right in each memory master 12 on the basis of the address signal and the read/write signal and asserts an acknowledge signal to the memory master 12 having the highest priority.

COPYRIGHT: (C)2001,JPO



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-356961

(P2001-356961A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

(51) Int.Cl.	識別記号	F I	データコード (参考)
G 0 6 F 12/00	5 7 1	G 0 6 F 12/00	5 7 1 B 5 B 0 6 0
12/06	5 5 0	12/06	5 5 0 A 5 B 0 6 1
13/362	5 1 0	13/362	5 1 0 E

審査請求 未請求 請求項の数17 O L (全 9 頁)

(21) 出願番号 特願2000-182324(P2000-182324)

(22) 出願日 平成12年6月13日 (2000. 6. 13)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 滝澤 哲郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100084250

弁理士 丸山 隆夫

Fターム(参考) 5B060 CD13 CD16 KA01 KA02 KA05

5B061 BA01 BB03 BB16 BC01 BC03

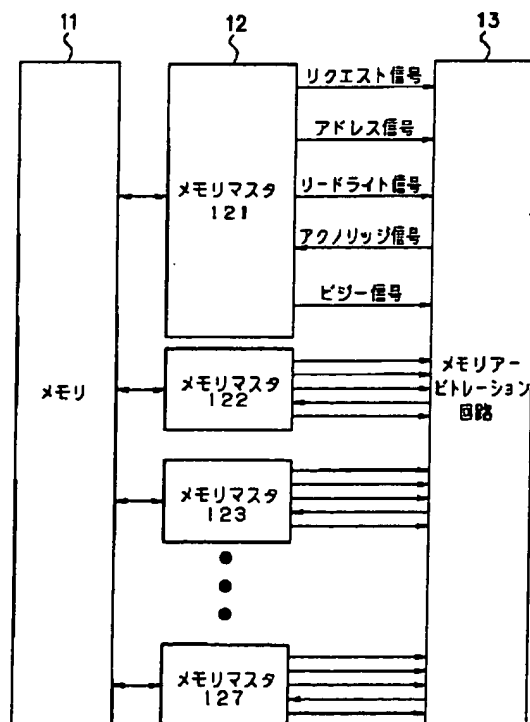
QQ02

(54) 【発明の名称】 調停装置

(57) 【要約】

【課題】 同一バンク内におけるアクセスページの切り替えや、リードからライト、あるいはライトからリードといったアクセスの種類が変化する確率を下げ、データ転送性能を向上させる。

【解決手段】 各メモリマスタ12は、メモリ使用権を取得したい場合には、リクエスト信号をアサートし、同時にアドレス信号およびリードライト信号を確定する。メモリアービトレーション回路13は、アドレス信号およびリードライト信号に基づき、各メモリマスタ12にメモリ使用権の優先順位を設定し、最も優先順位の高いメモリマスタ12に対してアクノリッジ信号をアサートする。



【特許請求の範囲】

【請求項1】 一つのメモリに対する使用権を取得したいとき、その旨を要求する要求信号を出力する、複数のメモリマスタと、

前記要求信号を出力した少なくとも一つのメモリマスタのうちの、一つのメモリマスタに対して前記メモリの使用権を与えるメモリアービトレーション回路と、
を有することを特徴とする調停装置。

【請求項2】 前記複数のメモリマスタは、
前記要求信号を出力する際に、前記メモリへのアクセス内容を示す信号を出力し、

前記メモリアービトレーション回路は、
前記アクセス内容を示す信号に基づき、前記少なくとも一つのメモリマスタのうちの一つに前記メモリの使用権を与えることを特徴とする請求項1記載の調停装置。

【請求項3】 前記アクセス内容を示す信号は、アクセスする前記メモリのアドレスを示すアドレス信号と、前記アドレスへのアクセスがリードであるかライトであるかを示すリードライト信号とを含むことを特徴とする請求項2記載の調停装置。

【請求項4】 前記メモリアービトレーション回路は、これまでアクセスされていた前記メモリのバンクと同一のバンクを示す前記アドレス信号を出力している前記メモリマスタに対しては、低い優先順位を与え、これまでアクセスされていた前記バンクと異なるバンクを示す前記アドレス信号を出力している前記メモリマスタに対しては、高い優先順位を与え、前記少なくとも一つのメモリマスタのうち一つのメモリマスタのみに高い優先順位が与えられたときは、該メモリマスタに前記メモリの使用権を与えることを特徴とする請求項3記載の調停装置。

【請求項5】 前記メモリアービトレーション回路には、予め固定優先順位が設定され、前記メモリアービトレーション回路は、前記少なくとも一つのメモリマスタのうち複数のメモリマスタに対して高い優先順位を与えたとき、前記固定優先順位を参照し、前記複数のメモリマスタのうち前記固定優先順位が最も高いものに対して前記メモリの使用権を与えることを特徴とする請求項4記載の調停装置。

【請求項6】 前記メモリアービトレーション回路は、前記少なくとも一つのメモリマスタの全てに対して低い優先順位を与えたときは、前記少なくとも一つのメモリマスタのうち前記固定優先順位が最も高いものに対して前記メモリの使用権を与えることを特徴とする請求項5記載の調停装置。

【請求項7】 前記メモリアービトレーション回路は、前記少なくとも一つのメモリマスタのうち複数のメモリマスタに対して高い優先順位を与えたとき、ラウンドロビン方式により、過去に最も古く前記メモリの使用権が与えられたメモリマスタに対して前記メモリの使用権を

与えることを特徴とする請求項4記載の調停装置。

【請求項8】 前記メモリアービトレーション回路は、前記少なくとも一つのメモリマスタの全てに対して低い優先順位を与えたときは、ラウンドロビン方式により、前記少なくとも一つのメモリマスタのうち過去に最も古く前記メモリの使用権が与えられたメモリマスタに対して前記メモリの使用権を与えることを特徴とする請求項4又は7記載の調停装置。

【請求項9】 前記メモリアービトレーション回路には、予め所定の閾値が設定され、前記メモリアービトレーション回路は、前記少なくとも一つのメモリマスタの各々につき、最後に前記要求信号を出力してからの経過時間と前記所定の閾値とを比較し、該比較の結果、前記経過時間が前記所定の閾値を超えるときには、そのメモリマスタに対して高い優先順位を与え、これまでアクセスされていた前記メモリのバンクと同一のバンクを示す前記アドレス信号を出力している前記メモリマスタに対しては、低い優先順位を与え、これまでアクセスされていた前記バンクと異なるバンクを示す前記アドレス信号を出力している前記メモリマスタに対しては、中位の優先順位を与え、前記少なくとも一つのメモリマスタのうち一つのメモリマスタのみに高い優先順位が与えられたときは、該メモリマスタに前記メモリの使用権を与えることを特徴とする請求項3記載の調停装置。

【請求項10】 前記メモリアービトレーション回路は、前記少なくとも一つのメモリマスタに高い優先順位が与えられたものがなく、中位の優先順位が与えられたものが一つ存在するとき、該中位の優先順位が与えられたメモリマスタに対して前記メモリの使用権を与えることを特徴とする請求項9記載の調停装置。

【請求項11】 前記メモリアービトレーション回路には、予め固定優先順位が設定され、前記少なくとも一つのメモリマスタに高い優先順位が与えられたものが複数存在するとき、前記メモリアービトレーション回路は、その複数のメモリマスタのうち前記固定優先順位が最も高いメモリマスタに対して前記メモリの使用権を与えることを特徴とする請求項9又は10記載の調停装置。

【請求項12】 前記メモリアービトレーション回路には、予め固定優先順位が設定され、前記少なくとも一つのメモリマスタに高い優先順位が与えられたものがなく、中位の優先順位が与えられたものが複数存在するときは、前記メモリアービトレーション回路は、前記複数のメモリマスタのうち前記固定優先順位が最も高いメモリマスタに対して前記メモリの使用権を与えることを特徴とする請求項9から11のいずれかに記載の調停装置。

【請求項13】 前記メモリアービトレーション回路には、予め固定優先順位が設定され、前記少なくとも一つのメモリマスタに高い優先順位が与えられたものがなく、また、中位の優先順位が与えられたものもないとき

は、前記メモリアービトレーション回路は、低い優先順位が与えられた前記少なくとも一つのメモリアスタのうち前記固定優先順位が最も高いメモリアスタに対して前記メモリの使用権を与えることを特徴とする請求項9から12のいずれかに記載の調停装置。

【請求項14】 前記メモリアービトレーション回路は、前記少なくとも一つのメモリアスタに高い優先順位が与えられたものが複数存在するとき、ラウンドロビン方式により、その高い優先順位が与えられた複数のメモリアスタのうち、過去に最も古く前記メモリの使用権が与えられたメモリアスタに対して前記メモリの使用権を与えることを特徴とする請求項9記載の調停装置。

【請求項15】 前記メモリアービトレーション回路は、前記少なくとも一つのメモリアスタに高い優先順位が与えられたものがなく、中位の優先順位が与えられたものが複数存在するときは、ラウンドロビン方式により、その中位の優先順位が与えられた複数のメモリアスタのうち、過去に最も古く前記メモリの使用権が与えられたメモリアスタに対して前記メモリの使用権を与えることを特徴とする請求項9又は14記載の調停装置。

【請求項16】 前記メモリアービトレーション回路は、前記少なくとも一つのメモリアスタに高い優先順位が与えられたものがなく、また、中位の優先順位が与えられたものもないときは、ラウンドロビン方式により、低い優先順位が与えられた前記少なくとも一つのメモリアスタのうち、過去に最も古く前記メモリの使用権が与えられたメモリアスタに対して前記メモリの使用権を与えることを特徴とする請求項9、14、15のいずれかに記載の調停装置。

【請求項17】 前記メモリアービトレーション回路は、前記要求信号を出力しているメモリアスタが一つのみであったとき、該メモリアスタに対して前記メモリの使用権を与えることを特徴とする請求項1から16のいずれかに記載の調停装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一つのメモリに複数のメモリアスタがアクセスを要求する際に、各メモリアスタへのメモリ使用権を付与を調停する調停装置に関する。

【0002】

【従来の技術】複数のメモリアスタが一つのメモリを共有するシステムでは、メモリアービトレーション回路が各メモリアスタにメモリの使用権を割り当てており、またそのために各メモリアスタに優先順位を設定している。従来の優先順位の設定方式としては次の3つの方式が知られている。

【0003】第1に、固定的に優先順位を予め設定する方式、第2に、例えば各種アプリケーションに対応するためなど事前に優先順位の設定を変更する方式、第3

に、ラウンドロビン方式で優先順位を変更する方式、である。

【0004】SDRAM、DDR SDRAM、Direct RambusなどのDRAMは、複数のバンクから構成されており、DRAMに与えられるアドレスは、バンクを示すバンクアドレス、バンク内のページを示すローアドレス、ページ内のアドレスを示すカラムアドレスから成る。

【0005】

【発明が解決しようとする課題】ここで、DRAMの一つのページに対してアクセスがなされ、その後に、同一のバンク内の異なるページに対してアクセスがあった場合を想定する。このとき、その異なるページにアクセスする前に、これまでセンスアンプに格納されていたデータを一旦DRAMのメモリセルに書き戻し、そして、当該異なるページのデータをそのセンスアンプに読み出す必要がある。

【0006】このように、同一バンク内において異なるページに切り替えるアクセスを連続して行う場合には、センスアンプに格納されたデータをDRAMのメモリセルに書き戻すことと、次にアクセスするページのデータをそのセンスアンプへ読み出すことを繰り返して行われることになり、後段のアクセスを時間間隔を空けて行う必要があった。一方、異なるバンクへのアクセスであれば、このような動作を行う必要はなく、これらの動作を並行して行うことができる。

【0007】また、DRAMでは、リードデータとライトデータは同一の信号線を共用して伝搬するため、動作がリードからライト、あるいはライトからリードに切り替わるときには、アクセスを切り替える際に一定時間を空け、データの衝突を防ぐ必要があった。つまり、同一バンク内で異なるページにアクセスしたり、アクセスの種類（リード、ライト）が変化する動作を連続して行おうとすると、データ転送性能が低下してしまう。

【0008】したがって、従来の優先順位設定方式では、上述した状態を招く可能性が高いことからデータ転送性能を低下させてしまう可能性も高くなる。

【0009】本発明は、上記問題点に鑑みてなされたものであり、同一バンク内におけるアクセスページの切り替えや、リードからライト、あるいはライトからリードといったアクセスの種類が変化する確率を下げ、データ転送性能を向上させる調停装置を提供することを目的とする。

【0010】また、本発明は、特定のメモリアスタに対して一定期間内に必ずメモリの使用権を与えることを保証し、バッファのオーバランやアンダーランを防ぐ調停装置を提供することを目的とする。

【0011】

【課題を解決するための手段】かかる目的を達成するために、請求項1記載の発明は、一つのメモリに対する使用権を取得したいとき、その旨を要求する要求信号を出

力する、複数のメモリマスタと、要求信号を出力した少なくとも一つのメモリマスタのうちの、一つのメモリマスタに対してメモリの使用権を与えるメモリアービトレーション回路と、を有することを特徴とする。

【0012】請求項2記載の発明は、請求項1記載の発明において、複数のメモリマスタは、要求信号を出力する際に、メモリへのアクセス内容を示す信号を出力し、メモリアービトレーション回路は、アクセス内容を示す信号に基づき、少なくとも一つのメモリマスタのうちの一つにメモリの使用権を与えることを特徴とする。

【0013】請求項3記載の発明は、請求項2記載の発明において、アクセス内容を示す信号は、アクセスするメモリのアドレスを示すアドレス信号と、アドレスへのアクセスがリードであるかライトであるかを示すリードライト信号とを含むことを特徴とする。

【0014】請求項4記載の発明は、請求項3記載の発明において、メモリアービトレーション回路は、これまでアクセスされていたメモリのバンクと同一のバンクを示すアドレス信号を出力しているメモリマスタに対しては、低い優先順位を与え、これまでアクセスされていたバンクと異なるバンクを示すアドレス信号を出力しているメモリマスタに対しては、高い優先順位を与え、少なくとも一つのメモリマスタのうち一つのメモリマスタのみに高い優先順位が与えられたときは、該メモリマスタにメモリの使用権を与えることを特徴とする。

【0015】請求項5記載の発明は、請求項4記載の発明において、メモリアービトレーション回路には、予め固定優先順位が設定され、メモリアービトレーション回路は、少なくとも一つのメモリマスタのうち複数のメモリマスタに対して高い優先順位を与えたとき、固定優先順位を参照し、複数のメモリマスタのうち固定優先順位が最も高いものに対してメモリの使用権を与えることを特徴とする。

【0016】請求項6記載の発明は、請求項5記載の発明において、メモリアービトレーション回路は、少なくとも一つのメモリマスタの全てに対して低い優先順位を与えたときは、少なくとも一つのメモリマスタのうち固定優先順位が最も高いものに対してメモリの使用権を与えることを特徴とする。

【0017】請求項7記載の発明は、請求項4記載の発明において、メモリアービトレーション回路は、少なくとも一つのメモリマスタのうち複数のメモリマスタに対して高い優先順位を与えたとき、ラウンドロビン方式により、過去に最も古くメモリの使用権が与えられたメモリマスタに対してメモリの使用権を与えることを特徴とする。

【0018】請求項8記載の発明は、請求項4又は7記載の発明において、メモリアービトレーション回路は、少なくとも一つのメモリマスタの全てに対して低い優先順位を与えたときは、ラウンドロビン方式により、少な

くとも一つのメモリマスタのうち過去に最も古くメモリの使用権が与えられたメモリマスタに対してメモリの使用権を与えることを特徴とする。

【0019】請求項9記載の発明は、請求項3記載の発明において、メモリアービトレーション回路には、予め所定の閾値が設定され、メモリアービトレーション回路は、少なくとも一つのメモリマスタの各々につき、最後に要求信号を出力してからの経過時間と所定の閾値とを比較し、該比較の結果、経過時間が所定の閾値を超えるときには、そのメモリマスタに対して高い優先順位を与え、これまでアクセスされていたメモリのバンクと同一のバンクを示すアドレス信号を出力しているメモリマスタに対しては、低い優先順位を与え、これまでアクセスされていたバンクと異なるバンクを示すアドレス信号を出力しているメモリマスタに対しては、中位の優先順位を与え、少なくとも一つのメモリマスタのうち一つのメモリマスタのみに高い優先順位が与えられたときは、該メモリマスタにメモリの使用権を与えることを特徴とする。

【0020】請求項10記載の発明は、請求項9記載の発明において、メモリアービトレーション回路は、少なくとも一つのメモリマスタに高い優先順位が与えられたものがなく、中位の優先順位が与えられたものが一つ存在するとき、該中位の優先順位が与えられたメモリマスタに対してメモリの使用権を与えることを特徴とする。

【0021】請求項11記載の発明は、請求項9又は10記載の発明において、メモリアービトレーション回路には、予め固定優先順位が設定され、少なくとも一つのメモリマスタに高い優先順位が与えられたものが複数存在するとき、メモリアービトレーション回路は、その複数のメモリマスタのうち固定優先順位が最も高いメモリマスタに対してメモリの使用権を与えることを特徴とする。

【0022】請求項12記載の発明は、請求項9から11のいずれかに記載の発明において、メモリアービトレーション回路には、予め固定優先順位が設定され、少なくとも一つのメモリマスタに高い優先順位が与えられたものがなく、中位の優先順位が与えられたものが複数存在するときは、メモリアービトレーション回路は、複数のメモリマスタのうち固定優先順位が最も高いメモリマスタに対してメモリの使用権を与えることを特徴とする。

【0023】請求項13記載の発明は、請求項9から12のいずれかに記載の発明において、メモリアービトレーション回路には、予め固定優先順位が設定され、少なくとも一つのメモリマスタに高い優先順位が与えられたものがなく、また、中位の優先順位が与えられたものもないときは、メモリアービトレーション回路は、低い優先順位が与えられた少なくとも一つのメモリマスタのうち固定優先順位が最も高いメモリマスタに対してメモリ

の使用権を与えることを特徴とする。

【0024】請求項14記載の発明は、請求項9記載の発明において、メモリアービトレーション回路は、少なくとも一つのメモリマスタに高い優先順位が与えられたものが複数存在するとき、ラウンドロビン方式により、その高い優先順位が与えられた複数のメモリマスタのうち、過去に最も古くメモリの使用権が与えられたメモリマスタに対してメモリの使用権を与えることを特徴とする。

【0025】請求項15記載の発明は、請求項9又は14記載の発明において、メモリアービトレーション回路は、少なくとも一つのメモリマスタに高い優先順位が与えられたものがなく、中位の優先順位が与えられたものが複数存在するときは、ラウンドロビン方式により、その中位の優先順位が与えられた複数のメモリマスタのうち、過去に最も古くメモリの使用権が与えられたメモリマスタに対してメモリの使用権を与えることを特徴とする。

【0026】請求項16記載の発明は、請求項9、14、15のいずれかに記載の発明において、メモリアービトレーション回路は、少なくとも一つのメモリマスタに高い優先順位が与えられたものがなく、また、中位の優先順位が与えられたものもないときは、ラウンドロビン方式により、低い優先順位が与えられた少なくとも一つのメモリマスタのうち、過去に最も古くメモリの使用権が与えられたメモリマスタに対してメモリの使用権を与えることを特徴とする。

【0027】請求項17記載の発明は、請求項1から16のいずれかに記載の発明において、メモリアービトレーション回路は、要求信号を出力しているメモリマスタが一つのみであったとき、該メモリマスタに対してメモリの使用権を与えることを特徴とする。

【0028】

【発明の実施の形態】以下、本発明の実施の形態を添付図面を参照しながら詳細に説明する。

【0029】図1は、本発明の調停装置の概略構成を示したブロック図である。図1によれば、本発明の調停装置は、メモリアービトレーション回路13、複数のメモリマスタ12、およびメモリ11から成る。各メモリマスタ12は、メモリアービトレーション回路13に対して、メモリ使用権を要求するリクエスト信号、アドレス信号、アクセスの種類（リード、ライト）を示すリードライト信号、メモリ11を使用中であることを示すビジー信号を出力する。メモリアービトレーション回路13は、メモリ使用権を割り当てるアクノリッジ信号を当該メモリマスタ12に出力する。

【0030】各メモリマスタ12は、メモリ使用権を取得したい場合には、リクエスト信号をアサートし、同時にアドレス信号およびリードライト信号を確定する。その後、メモリアービトレーション回路13から当該メモ

リマスタ12にアクノリッジ信号がアサートされると、当該メモリマスタ12は、ビジー信号をアサートして、メモリ11の使用を開始する。メモリ11の使用を終了するときには、ビジー信号をデアサートする。

【0031】メモリアービトレーション回路13は、各メモリマスタ12からのリクエスト信号とビジー信号を監視する。ここで、全てのメモリマスタ12がビジー信号をアサートしておらず、少なくとも一つのメモリマスタ12からリクエスト信号がアサートされると、それらのメモリマスタ12のうちのいずれかに対してアクノリッジ信号をアサートする。

【0032】本発明の第1の実施形態について詳細に説明する。メモリアービトレーション回路13は、メモリ11に最後にアクセスされたバンクとそのときのアクセス種類を記憶する。メモリマスタ12がリクエスト信号をアサートすると、メモリアービトレーション回路13は、当該メモリマスタ12が出力しているアドレス信号およびリードライト信号と、記憶しているバンクおよびアクセス種類を比較する。

【0033】その結果、当該メモリマスタ12がアクセスしようとするバンクがこれまでアクセスされていたバンクとは異なり、且つ両者間のアクセス種類が同種であったときは、当該メモリマスタ12に高い優先順位が与えられる。それ以外のときには、当該メモリマスタ12には低い優先順位を与える。このとき、一つのメモリマスタ12のみがリクエスト信号をアサートしていた場合には、メモリアービトレーション回路13は、そのメモリマスタ12に付与した優先順位に関わらず、そのメモリマスタ12に対してアクノリッジ信号をアサートし、メモリ使用権を与える。

【0034】一方、2つ以上のメモリマスタ12がリクエスト信号をアサートしているときに、そのうちの1つのメモリマスタ12しか高い優先順位を与えなければ、メモリアービトレーション回路13は、そのメモリマスタ12に対してアクノリッジ信号をアサートし、メモリ使用権を与える。また、そのうち2つ以上のメモリマスタ12に高い優先順位を与えたときには、メモリアービトレーション回路13は、予め設定された固定優先順位を参照し、それらのうち最も高い固定優先順位が設定されるメモリマスタ12に対してアクノリッジ信号をアサートし、メモリ使用権を与える。

【0035】また、リクエスト信号をアサートしているメモリマスタ12がいずれも高い優先順位が与えられておらず、全てのメモリマスタ12に対して低い優先順位が与えられている場合にも、メモリアービトレーション回路13は、予め設定された固定優先順位を参照し、それらのうち最も高い固定優先順位のメモリマスタ12に対してアクノリッジ信号をアサートし、メモリ使用権を与える。

【0036】図2は、本実施形態および後述する第2の

実施形態の動作例を説明するための各信号のタイムチャートである。図2によれば、T1の時点では、リクエスト信号をアサートしているメモリマスタ12は、メモリマスタ121のみであるので、メモリ使用権はメモリマスタ121に与えられる。

【0037】T2の時点では、すべてのメモリマスタ12（メモリマスタ121～123）がリクエスト信号をアサートしている。メモリマスタ121のアドレス信号は現在アクセスしているバンク0と同一のバンク（バンク0）を示しているため、メモリマスタ121には低い優先順位が与えられる。メモリマスタ122のアドレス信号は、現在メモリマスタ121によりアクセスされているバンク0と異なるバンク（バンク1）を示しており、また、リードライト信号も現在のアクセス種類（リード）と同じアクセス種類（リード）を示している。そのため、メモリマスタ122には、高い優先順位が与えられる。

【0038】メモリマスタ123のアドレス信号は、現在アクセスされているバンク0と異なるバンク（バンク2）を示しているが、リードライト信号は現在のアクセス種類（リード）と異なるアクセス種類（ライト）を示している。そのため、メモリマスタ123には、低い優先順位が与えられる。よって、メモリマスタ122に対してアクノリッジ信号がアサートされメモリ使用権が与えられる。

【0039】T3の時点では、全てのメモリマスタ12（メモリマスタ121～123）がリクエスト信号をアサートしている。メモリマスタ121のアドレス信号は、現在アクセスされているバンク1とは異なるバンク（バンク0）を示しており、リードライト信号も、現在のアクセス種類（リード）と同一のアクセス種類（リード）を示している。そのため、メモリマスタ121には、高い優先順位が与えられる。

【0040】メモリマスタ122および123については、アドレス信号は、現在アクセスされているバンク1とは異なるバンク（バンク0、2）を示しているが、リードライト信号は、現在のアクセス種類（リード）とは異なるアクセス種類（ライト）を示している。そのため、メモリマスタ122および123には、低い優先順位が与えられる。よって、T3の時点では、メモリマスタ121のみが高い優先順位が与えられているため、メモリマスタ121にメモリ使用権が与えられる。

【0041】T4の時点では、メモリマスタ122および123が、リクエスト信号をアサートしている。メモリマスタ122のアドレス信号は、現在アクセスされているバンク0と同一のバンク（バンク0）を示している。そのため、メモリマスタ122には、低い優先順位が与えられる。メモリマスタ123のアドレス信号は、現在アクセスされているバンク0とは異なるバンク（バンク2）を示しているが、リードライト信号は、現在の

アクセス種類（リード）とは異なるアクセス種類（ライト）を示している。そのため、メモリ123には、低い優先順位が与えられる。よって、T4の時点では、高い優先順位が与えられたメモリマスタ12は存在しない。

【0042】このように、T4の時点では、高い優先順位が与えられたメモリマスタ12は存在せず、低い優先順位のメモリマスタ12のみが存在することとなるが、本実施形態では、メモリマスタ123の固定優先順位よりメモリマスタ122の固定優先順位の方を高く設定していたとする。これにより、メモリアービトレーション回路13は、メモリマスタ123に対してアクノリッジ信号をアサートし、メモリ使用権を与える。

【0043】次に、本発明の第2の実施形態について詳細に説明する。第1の実施形態では、高い優先順位が与えられたメモリマスタ12が2つ以上存在したときや、高い優先順位のメモリマスタ12が存在せず、全てのメモリマスタ12について低い優先順位のみが与えられたときは、予め設定された固定優先順位に従ってメモリ使用権を与えていた。これに対し、本実施形態では、このような状況においてラウンドロビン方式によりメモリ使用権を与える。つまり、本実施形態では、過去に最も古くメモリ使用権が与えられたメモリマスタ12に対して優先的にメモリ使用権を与えている。

【0044】図2を用いて、第2の実施形態の動作を説明する。T1、T2、T3の時点における動作は第1の実施形態と同一である。T4の時点には、高い優先順位が与えられたメモリマスタ12は存在せず、メモリマスタ122および123には低い優先順位が与えられている。ここで、メモリマスタ122は、T2の時点においてメモリ使用権が与えられていた。そのため、ラウンドロビン方式によれば、T4の時点でのメモリ使用権の優先順位はメモリマスタ122よりメモリマスタ123の方が高くなる。よって、T4の時点では、メモリマスタ123にメモリ使用権が与えられる。

【0045】次に、本発明の第3の実施形態について詳細に説明する。本実施形態によるメモリアービトレーション回路13は、各メモリマスタ12が最後のリクエスト信号をアサートしてから経過時間と、予め設定された閾値を比較し、経過時間がその閾値を上回ったメモリマスタ12に対して高い優先順位を与える。閾値はメモリマスタ12ごとに独立して異なる値を設定してもよい。

【0046】経過時間が閾値以下の場合には、第1、第2の実施形態と同様に、メモリアービトレーション回路13は、最後にアクセスされたバンク及びそのときのアクセス種類と、リクエスト信号をアサートしている各メモリマスタ12からのアドレス信号およびリードライト信号を比較する。その結果、異なるバンクへのアクセスを行うのであれば、そのメモリマスタ12には中位の優先順位を与え、そうでない場合には低い優先順位が与え

られる。

【0047】ここで、1つのメモリマスタ12のみがリクエスト信号をアサートしていた場合には、その優先順位によらず、当該メモリマスタ12に対してアクノリッジ信号をアサートし、メモリ使用権が与えられる。また、2つ以上のメモリマスタ12がリクエスト信号をアサートしており、そのなかの1つのみが高い優先順位が与えられている場合には、当該メモリマスタ12に対してアクノリッジ信号をアサートし、メモリ使用権を与える。また、高い優先順位が与えられたメモリマスタ12は1つも存在せず、1つだけ中位の優先順位が与えられたメモリマスタ12が存在するときには、そのメモリマスタ12に対してメモリ使用権が与えられる。

【0048】同じく、高い優先順位が与えられたメモリマスタ12は1つも存在せず、中位の優先順位が与えられたメモリマスタが2つ以上存在するときは、予め設定された固定優先順位に従って、一番高い固定優先順位のメモリマスタ12にメモリ使用権が与えられる。また、高い優先順位および中位の優先順位のメモリマスタ12が存在せず、低い優先順位のメモリマスタ12のみが存在する場合も、固定優先順位に従って、一番高い固定優先順位のメモリマスタ12に対してメモリ使用権が与えられる。さらに、高い優先順位が与えられたメモリマスタ12が複数存在するときも、そのうち一番高い固定優先順位のメモリマスタ12にメモリ使用権が与えられる。

【0049】図3は、本実施形態および後述する第4の実施形態の動作を説明するための各信号のタイムチャートである。図3によれば、T1の時点では、リクエスト信号をアサートしているメモリマスタ12はメモリマスタ121のみであるため、メモリ使用権はメモリマスタ121に与えられる。

【0050】T2の時点では、全てのメモリマスタ12（メモリマスタ121～123）がリクエスト信号をアサートしている。メモリマスタ121および122のアドレス信号は、現在アクセスされているバンク0とは異なるバンク（バンク1、2）を示しており、リードライト信号も現在のアクセス種類（リード）と同一のアクセス種類（リード）を示している。そのため、メモリマスタ121および122には、中位の優先順位が与えられる。

【0051】メモリマスタ123のアドレス信号は、現在アクセスされているバンク0とは異なるバンク（バンク2）を示しているが、リードライト信号は現在のアクセス種類（リード）とは異なるアクセス種類（ライト）を示している。そのため、メモリマスタ123には、低い優先順位が与えられる。よって、T2の時点では、高い優先順位が与えられたメモリマスタ12は存在せず、中位の優先順位のメモリマスタ12が複数存在することになる。本実施形態では、予め設定された固定優先順位

は、メモリマスタ1の固定優先順位よりメモリマスタ2の固定優先順位を高く設定しているものとする。よって、メモリ使用権はメモリマスタ122に与えられる。もし、メモリマスタ121の固定優先順位の方がメモリマスタ122の固定優先順位より高く設定されていれば、メモリマスタ121にメモリ使用権が与えられる。

【0052】T3の時点でも全てのメモリマスタ12（メモリマスタ121～123）がリクエスト信号をアサートしている。メモリマスタ121のアドレス信号は、現在アクセスされているバンク1とは異なるバンク（バンク2）を示しており、また、リードライト信号も現在のアクセス種類（リード）と同一のアクセス種類（リード）を示している。そのため、メモリマスタ121には、中位の優先順位が与えられる。

【0053】メモリマスタ122のアドレス信号は、現在アクセスされているバンク1と同一のバンク（バンク1）を示している。そのため、メモリマスタ122には低い優先順位が与えられる。メモリマスタ123のアドレス信号は、現在アクセスされているバンク1と異なるバンク（バンク2）を示しているが、リードライト信号は、現在のアクセス種類（リード）とは異なるアクセス種類（ライト）を示している。そのため、メモリマスタ123には、低い優先順位が与えられる。よって、T3の時点では、高い優先順位が与えられたメモリマスタ12は存在せず、メモリマスタ121のみが中位の優先順位となっているため、メモリマスタ121にメモリ使用権が与えられる。

【0054】T4の時点では、メモリマスタ122および123がリクエスト信号をアサートしている。メモリマスタ122のアドレス信号は、現在アクセスされているバンク2とは異なるバンク（バンク1）を示しており、また、リードライト信号も現在のアクセス種類（リード）と同一のアクセス種類（リード）を示している。さらに、本実施形態では、メモリマスタ122はリクエスト信号をアサートしてから経過時間が、予め設定された閾値を超えていないものとする。よって、メモリマスタ122には、中位の優先順位が与えられる。

【0055】一方、メモリマスタ123は、リクエスト信号をアサートしてから経過時間がメモリマスタ122より長く、本実施形態では、その経過時間が上記閾値を超えているとすると、メモリマスタ123には、高い優先順位が与えられる。したがって、T4の時点では、メモリマスタ123にのみ高い優先順位が与えられ、メモリマスタ123にメモリ使用権が与えられる。もし、T4の時点で、メモリマスタ123の上記経過時間が上記閾値を超えていなければ、メモリマスタ123には低い優先順位が与えられるため、メモリマスタ122にメモリ使用権が与えられる。

【0056】次に、本発明の第4の実施形態について説明する。第3の実施形態では、高い優先順位が与えられ

たメモリマスタ12が2つ以上存在した場合、高い優先順位が与えられたメモリマスタ12が1つも存在せず、中位の優先順位のメモリマスタ12が2つ以上存在した場合、または、高い優先順位、中位の優先順位が与えられたメモリマスタ12が1つも存在せず、低い優先順位のメモリマスタ12が2つ以上存在した場合は、予め設定された固定優先順位に従って、メモリ使用権の優先順位を決定していた。これに対し、本実施形態は、第2の実施形態で説明したラウンドロビン方式によりメモリ使用権を与える。

【0057】図3を用いて、本実施形態の動作を説明する。T1、T3、T4の時点における動作の説明は第3の実施形態と同一である。T2の時点では、メモリマスタ121および122には中位の優先順位、メモリマスタ123には低い優先順位が与えられ、高い優先順位が与えられたメモリマスタ12は存在せず、中位の優先順位のメモリマスタ12が複数存在する状態である。

【0058】ここで、メモリマスタ121は、T1の時点でメモリ使用権が与えられていた。メモリマスタ122が、メモリ使用権が与えられたことがあるとすれば、それは、メモリマスタ1より前に与えられたものであるため、ラウンドロビン方式によってメモリマスタ122

にメモリ使用権が与えられる。

【0059】

【発明の効果】以上の説明より明らかなように、本発明によれば、同一バンク内におけるアクセスページの切り替えや、リードからライト、あるいはライトからリードといったアクセスの種類が変化する確率を下げ、データ転送性能を向上させることができる。

【0060】また、本発明の第3および第4の実施形態によれば、特定のメモリマスタに対して一定期間内に必ずメモリの使用権を与えることを保証し、バッファのオーバーランやアンダーランを防ぐことができる。

【図面の簡単な説明】

【図1】本発明の調停装置の概略構成を示したブロック図である。

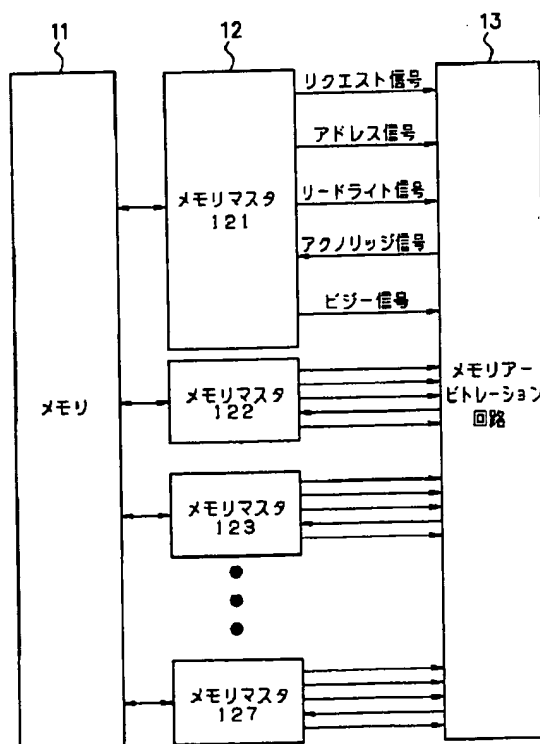
【図2】本発明の第1および第2の実施形態の動作を説明するための各信号のタイムチャートである。

【図3】本発明の第3および第4の実施形態の動作を説明するための各信号のタイムチャートである。

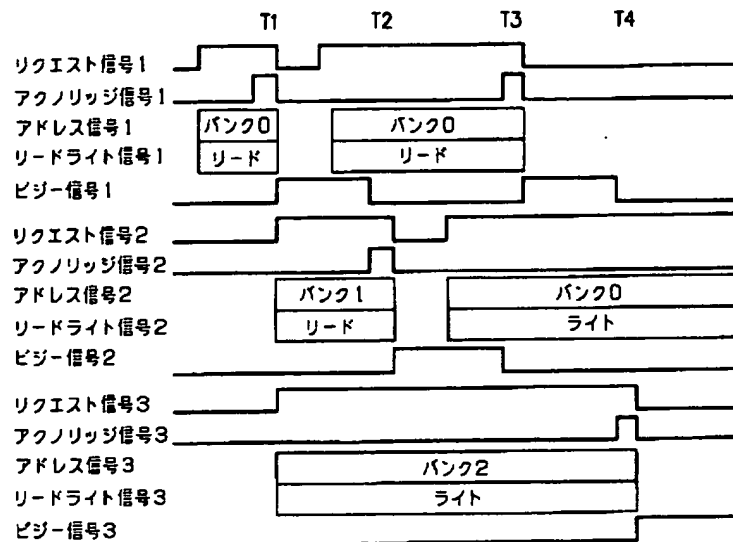
【符号の説明】

- 11 メモリ
- 12 メモリマスタ
- 13 メモリアービトレーション回路

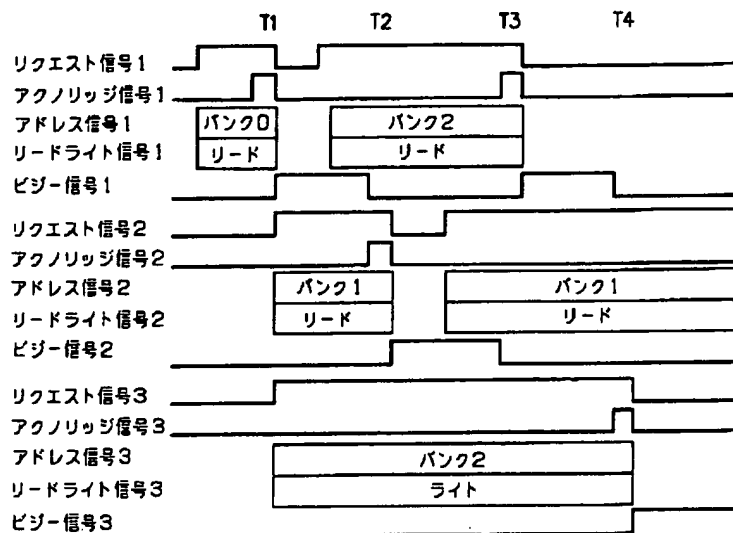
【図1】



【図2】



【図3】



THIS PAGE BLANK (USPTO)